

SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP4048820
Publication date: 1992-02-18
Inventor(s): OBA ATSUSHI; others: 01
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP4048820
Application Number: JP19900158360 19900615
Priority Number(s):
IPC Classification: H03K19/0175; G11C11/414; G11C11/417
EC Classification:
Equivalents:

Abstract

PURPOSE:To quicken the level conversion without increase in a delay time by providing a level conversion function and a signal holding function on a level conversion means and activating either the level conversion function or the signal holding function in response to an internal synchronizing signal.

CONSTITUTION:A level conversion circuit 20 is provided with PMOS transistors(TRs) 401-404, 422, 423 and NMOS TRs 301, 302. For example, when a clock signal CLK is at an L level and a clock signal CLK' is at an H level, a TR 402 is turned on and a TR 423 is turned off. Thus, no current flows to the TRs 402, 403. Thus, the data holding function consisting of the TRs 402, 403, 301, 302 is lost and the level conversion function is activated. When the clock signal CLK is at an H level and the clock signal CLK' is at an L level conversely, the operation is opposite to above-mentioned operation. Thus, the level conversion function attained with the TRs 401, 404, 301, 302 is lost and the data holding function is activated.

Data supplied from the esp@cenet database - I2

This Page Blank (uspto)

⑫ 公開特許公報(A)

平4-48820

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月18日

H 03 K 19/0175
G 11 C 11/414
11/417

8941-5J H 03 K 19/00 1 0 1 A
7323-5L G 11 C 11/34 3 0 5
7323-5L 3 1 5

審査請求 未請求 請求項の数 1 (全15頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 平2-158360

⑰ 出 願 平2(1990)6月15日

⑱ 発 明 者 大 庭 敦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 発 明 者 大 林 茂 樹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

内部同期信号を発生する手段を備えた半導体集積回路であって、

第1の論理レベルの入力信号を受ける入力バッファ手段、および

前記入力バッファ手段の出力信号を受け、その出力信号を第2の論理レベルの信号にレベル変換するレベル変換機能と、レベル変換された信号を保持する信号保持機能とを有し、前記内部同期信号にตอบสนองして前記レベル変換機能および前記信号保持機能のいずれか一方を選択的に活性化させるレベル変換手段を備えた半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体集積回路に関し、特に、Bi CMOS技術を応用可能な同期式半導体集積回路に関する。

〔従来の技術〕

従来より、内部同期信号により入力および出力信号が制御される同期式半導体集積回路が開発されている。また他方では、高速動作が可能でかつ消費電力が少ない半導体集積回路を得るために、バイポーラトランジスタとMOSFETとを同一チップ上に集積化する複合集積化技術が開発されている。この複合集積化技術をBi CMOS技術と呼ぶ。

同期式半導体集積回路の一例として、第9図にセルフタイム・ランダムアクセスメモリ(以下、STRAMと呼ぶ)が示される。このSTRAMは、たとえば特開昭59-124075号や特開昭63-175286号に開示されている。

STRAMは、入力および出力信号がクロック信号により制御される同期式RAMであり、書込動作がクロック信号により起動され、書込パルスが内部で自動的に生成される点で、一般によく使用される非同期式RAMとは異なる。

実際のメモリシステムではアドレスなどの入力

信号にスキューが発生するので、誤動作を防止するためにサイクルタイムを長くする必要がある。これに対して、STRAMでは、入力および出力信号がデータ保持回路に保持され、入力および出力動作がクロック信号により制御されるので、入力信号にスキューが生じてシステムレベルでの信号のスキューの問題を考慮する必要がない。

第9図において、STRAMは、外部から与えられるアドレス信号ADD、入力データDIN、ライトイネーブル信号WEおよびチップセレクト信号CSを一時的に保持する入力データ保持回路1と、マルチプレクサ2からの出力データを一時的に保持する出力データ保持回路3とを備える。また、STRAMは、内部クロック発生回路4および書込パルス発生回路5を備える。内部クロック発生回路4は、外部クロック信号CLK0を受け、入力データ保持回路1および出力データ保持回路3におけるデータの取込および保持を制御する内部クロック信号CLK1を発生する。書込パルス発生回路5は、内部クロック信号CLK1、

ライトイネーブル信号WEおよびチップセレクト信号CSに反応して所定の書込パルスを所定のタイミングで発生する。

入力データ保持回路1に保持されたアドレス信号ADDは内部クロック信号CLK1に反応して所定のタイミングで行デコード6aおよび列デコード6bに与えられる。メモリセルアレイ7は複数行および複数列にマトリクス状に配置された複数のメモリセルを含む。行デコード6aおよび列デコード6bはアドレス信号に反応してメモリセルアレイ7内のメモリセルを選択する。入力データ保持回路1に保持された入力データDINは内部クロック信号CLK1に反応してセンスアンプ・書込ドライバ8およびマルチプレクサ2に与えられる。書込時には、書込パルス発生回路5からの書込パルスに反応して、センスアンプ・書込ドライバ8が制御され、選択されたメモリセルにデータの書込が行なわれる。読出時には、書込パルス発生回路5からの書込パルスに反応してセンスアンプ・書込ドライバ8が制御され、選択された

メモリセルからデータが読出される。センスアンプにより増幅されたデータはマルチプレクサ2を介して出力データ保持回路3に与えられる。出力データ保持回路3はデータを一時的に保持し、内部クロック信号CLK1に反応してそのデータを出力データDOUとして外部に出力する。

複数のSTRAMを用いてシステムを構成した場合、アドレス信号などの入力信号にスキューがあっても、外部クロック信号に反応して複数のSTRAMへのデータの取込が同時に行なわれる。したがって、データが出力されるタイミングのばらつきを、単体のRAM自体のアクセスタイムのばらつきまで抑えることが可能となる。このように、STRAMを用いれば、システムのサイクルタイムを各STRAMに与えられ入力信号のスキューを考慮せずに設定することができるので、同じアクセスタイムを有する非同期式RAMを用いた場合よりもシステムのサイクルタイムを縮めることができる。

このようなSTRAMにBiCMOS技術を応

用することが考えられる。この場合、入出力回路にバイポーラ回路を使用し、メモリセルおよびその周辺回路にCMOS回路を使用する。これにより、バイポーラ技術のみでは実現が困難であるECL(エミッタ結合論理)インタフェイスを有する大容量のSTRAMを実現することができる。

第10図は、ECLインタフェイスを有するSTRAMにBiCMOS技術を応用した場合のECL入力バッファ回路からデコードまでの構成の一例を示す図である。

ECL入力バッファ回路10aは、ECLレベルの入力信号Vinを受け、ECLレベルの相補な出力信号a、 \bar{a} を出力する。レベル変換回路20は、ECLレベルの相補な出力信号a、 \bar{a} を受け、MOSレベルの相補な出力信号b、 \bar{b} を出力する。通常、レベル変換回路20の負荷駆動能力は小さいので、レベル変換回路20の出力側にはドライバ回路30が接続される。ドライバ回路30は、MOSレベルの出力信号b、 \bar{b} を受け、相補な出力信号c、 \bar{c} を出力し、大きな負荷を有す

るデコーダ40を駆動する。なお、デコーダ40には、複数のECL入力バッファ回路からの信号が与えられるが、第10図には1組のECL入力バッファ回路10a、レベル変換回路20およびドライバ回路30のみが示される。

ECL入力バッファ回路10aは、バイポーラトランジスタ101~103, 105, 106, 113~116、抵抗201, 202および定電流源901~904を含む。トランジスタ101および定電流源901が入力部を構成する。トランジスタ101のベースはECLレベルの入力信号 V_{in} を受け、コレクタは接地電圧 V_{cc} を受ける接地端子11に接続され、エミッタは負電圧 V_{ee} を受ける電源端子12に定電流源901を介して接続されている。

トランジスタ102, 103が入力用カレントスイッチを構成する。トランジスタ102のベースはトランジスタ101のエミッタに接続され、コレクタは抵抗201を介して接地端子11に接続されている。トランジスタ103のベースは基

され、コレクタはトランジスタ103のコレクタに接続されている。トランジスタ115のベースはトランジスタ106のエミッタに接続され、コレクタはトランジスタ102のコレクタに接続されている。トランジスタ114, 115のエミッタはトランジスタ116のコレクタに共通に接続されている。トランジスタ116のベースはクロック信号 \overline{CLK} を受け、エミッタは定電流源902に接続されている。

トランジスタ105, 106のエミッタから相補な出力信号a, \overline{a} が取出される。

なお、クロック信号 \overline{CLK} , \overline{CLK} は相補な信号であり、内部クロック発生回路から発生される。

通常、接地電圧 V_{cc} は0Vに設定され、負電圧 V_{ee} は-4.5Vまたは-5.2Vに設定される。ECLレベルの入力信号 V_{in} の“H”レベルは通常-0.9Vであり、“L”レベルは通常-1.7Vである。基準電圧 V_{BB} はトランジスタ102のベース電圧の“H”レベルと“L”レベルとの中間電圧となるように設定されている。

基準電圧 V_{BB} を受け、コレクタは抵抗202を介して接地端子11に接続されている。トランジスタ102, 103のエミッタはトランジスタ113のコレクタに共通に接続されている。トランジスタ113のベースはクロック信号 \overline{CLK} を受け、エミッタは定電流源902を介して電源端子12に接続されている。

トランジスタ105, 106および定電流源903, 904が出力部を構成する。トランジスタ105のベースはトランジスタ102のコレクタに接続され、コレクタは接地端子11に接続され、エミッタは定電流源903を介して電源端子12に接続されている。トランジスタ106のベースはトランジスタ103のコレクタに接続され、コレクタは接地端子11に接続され、エミッタは定電流源904を介して電源端子12に接続されている。

トランジスタ114, 115がデータ保持用カレントスイッチを構成する。トランジスタ114のベースはトランジスタ105のエミッタに接続

次に、第10図のECL入力バッファ回路の動作を説明する。

クロック信号 \overline{CLK} が“L”レベルでありかつクロック信号 \overline{CLK} が“H”レベルである場合、トランジスタ113がオンし、トランジスタ116がオフする。これにより、トランジスタ102, 103から構成される入力用カレントスイッチが動作し、トランジスタ114, 115から構成されるデータ保持用カレントスイッチは動作しない。

この場合、入力信号 V_{in} が“H”レベルであれば、トランジスタ102がオンし、トランジスタ103がオフする。それにより、トランジスタ105のベース電圧は“L”レベルとなり、トランジスタ106のベース電圧は“H”レベルとなる。その結果、出力信号a(OR出力)は“H”レベルになり、出力信号 \overline{a} (NOR出力)は“L”レベルになる。

逆に、入力信号 V_{in} が“L”レベルであれば、トランジスタ102がオフし、トランジスタ103がオンする。それにより、トランジスタ105

のベース電圧は“H”レベルになり、トランジスタ106のベース電圧は“L”レベルになる。その結果、出力信号aは“L”レベルになり、出力信号 \overline{a} は“H”レベルになる。

クロック信号CLKが“H”レベルでありかつクロック信号 \overline{CLK} が“L”レベルである場合には、トランジスタ113がオフし、トランジスタ116がオンする。それにより、トランジスタ102、103から構成される入力用カレントスイッチは動作せず、トランジスタ114、115から構成されるデータ保持用カレントスイッチが動作する。その結果、入力信号Vinの状態にかかわらず、出力信号a、 \overline{a} の状態が保持される。

このように、第10図に示されるECL入力バッファ回路10aは、入力信号Vinに従って出力信号a、 \overline{a} を出力する状態と入力信号Vinにかかわらず出力信号a、 \overline{a} を保持する状態とに、クロック信号CLK、 \overline{CLK} にตอบสนองして選択的に切換えられるデータ保持回路を有している。

第11図は、ECLインタフェースを有するS

タ21、22の出力信号d、 \overline{d} はドライバ回路30に与えられる。

なお、クロック信号 \overline{CLK} は内部クロック発生回路から発生される。

クロック信号CLKが“H”レベルであると、レベル変換回路20の出力信号b、 \overline{b} はCMOSトランスファゲートを介してクロスカプルされたインバータ21、22に伝えられる。したがって、CMOSデータ保持回路50の出力信号d、 \overline{d} は、入力信号Vinに従って変化する。

クロック信号 \overline{CLK} が“L”レベルであると、レベル変換回路20の出力信号b、 \overline{b} はクロスカプルされたインバータ21、22に伝達されない。したがって、CMOSデータ保持回路50の出力信号d、 \overline{d} の状態は、入力信号Vinの状態にかかわらず保持される。ドライバ回路30は、出力信号d、 \overline{d} を受けて出力信号c、 \overline{c} を出力し、大きな負荷を有するデコーダ40を駆動する。

なお、インバータ21、22の各々は、第12図に示されるように、接地端子11と電源端子1

TRAMにBiCMOS技術を応用した場合のECL入力バッファ回路からデコーダまでの構成の他の例を示す図である。

第11図に示されるECL入力バッファ回路10bが第10図に示されるECL入力バッファ回路10aと異なるのは、トランジスタ114～116からなるデータ保持回路が設けられていない点である。そのため、ECL入力バッファ回路10bは、入力信号Vinに従って相補な出力信号a、 \overline{a} を導出する。レベル変換回路20とドライバ回路30との間にはCMOSデータ保持回路50が接続されている。

CMOSデータ保持回路50は、NMOSTランジスタ313、314、PMOSTランジスタ415、416およびインバータ23から構成されるCMOSTランスファゲートと、クロスカプルされたインバータ21、22を含む。CMOSTランスファゲートは、レベル変換回路20の出力信号b、 \overline{b} を受け、クロック信号 \overline{CLK} により制御される。クロスカプルされたインバー

タ21、22の間に接続されたPMOSTランジスタ417およびNMOSTランジスタ315からなる。

レベル変換回路20としてはたとえば第13図、第14図および第15図に示すような回路が提案されている。

第13図のレベル変換回路は、特開昭60-132416号公報、特開昭62-123825号公報等に示されている。

第13図のレベル変換回路は、接地端子11と電源端子12との間に接続された第1および第2のカレントミラー回路からなる。第1のカレントミラー回路は、PMOSTランジスタ418、419およびNMOSTランジスタ316、317を含む。第2のカレントミラー回路は、PMOSTランジスタ420、421およびNMOSTランジスタ318、319を含む。トランジスタ419、420のゲートにはECL入力バッファ回路の出力信号aが与えられ、トランジスタ418、421のゲートには出力信号 \overline{a} が与えられる。トランジスタ421とトランジスタ319との接続

点から MOS レベルの出力信号 b が取出され、トランジスタ 419 とトランジスタ 317 との接続点から MOS レベルの出力信号 \overline{b} が取出される。

出力信号 b , \overline{b} の "H" レベルは接地電圧 V_{cc} であり、"L" レベルは負電圧 V_{ee} である。

たとえば、出力信号 a が "H" レベルとなりかつ出力信号 \overline{a} が "L" レベルになると、トランジスタ 418, 421 がオンし、トランジスタ 419, 420 がオフする。それにより、トランジスタ 317 がオンし、トランジスタ 319 がオフする。したがって、出力信号 b は "H" レベル（接地電圧 V_{cc} ）となり、出力信号 \overline{b} は "L" レベル（負電圧 V_{ee} ）となる。

第 14 図のレベル変換回路は、I. Fukushima et. al.: "A 256 Kbit ECL RAM with redundancy", 1988 ISSCC, pp. 134-135 (Feb. 1988) に示されている。

第 14 図のレベル変換回路は、PMOS トランジスタ 405 ~ 408、NMOS トランジスタ 3

03 ~ 306 およびバイポーラトランジスタ 109, 110 を含む。接地端子 11 と電源端子 12 との間にトランジスタ 405, 406 が直列に接続される。また、接地端子 11 と電源端子 12 との間にトランジスタ 407, 408 が直列に接続される。

ECL 入力バッファ回路の出力信号 a はトランジスタ 406, 407 のゲートに与えられ、出力信号 \overline{a} はトランジスタ 405, 408 のゲートに与えられる。トランジスタ 405 とトランジスタ 406 との接続点はトランジスタ 109 のベースに接続され、かつトランジスタ 303 を介して電源端子 12 に接続される。トランジスタ 407 とトランジスタ 408 との接続点はトランジスタ 110 のベースに接続され、かつトランジスタ 306 を介して電源端子 12 に接続される。

トランジスタ 109 のコレクタは接地端子 11 に接続され、エミッタはトランジスタ 304 を介して電源端子 12 に接続される。トランジスタ 110 のコレクタは接地端子 11 に接続され、エミ

ッタはトランジスタ 305 を介して電源端子 12 に接続される。また、トランジスタ 109 のエミッタはトランジスタ 305, 306 のゲートに接続され、トランジスタ 110 のエミッタはトランジスタ 303, 304 のゲートに接続される。トランジスタ 109 のエミッタから出力信号 b が取出され、トランジスタ 110 のエミッタから出力信号 \overline{b} が取出される。

出力信号 a が "H" レベルとなりかつ出力信号 \overline{a} が "L" レベルになると、トランジスタ 405, 408 がオンし、トランジスタ 406, 407 がオフする。それにより、トランジスタ 109 はオンし始め、トランジスタ 110 はオフし始める。すると、トランジスタ 109 のエミッタは急速に充電されて、トランジスタ 305, 306 のゲート電圧が立上り、それらのトランジスタがオンする。このため、トランジスタ 110 およびトランジスタ 303, 304 がオフする。

したがって、出力信号 b は "H" レベル（接地電圧 $V_{cc} - V_f$ ）になり、出力信号 \overline{b} は "L"

レベル（負電圧 V_{ee} ）になる。

ここで、 V_f はバイポーラトランジスタにほとんど電流が流れない場合のそのトランジスタのベース・エミッタ間電圧を表わす。

第 15 図のレベル変換回路は、先に出願された特願平 1-127113 号に開示されている。

第 15 図のレベル変換回路は、PMOS トランジスタ 411, 414 および NMOS トランジスタ 309 ~ 312 を含む。トランジスタ 411, 309 が第 1 の CMOS 反転回路を構成し、トランジスタ 414, 310 が第 2 の CMOS 反転回路を構成する。ECL 入力バッファ回路の出力信号 a はトランジスタ 414, 310 のゲートに与えられ、出力信号 \overline{a} はトランジスタ 411, 309 のゲートに与えられる。トランジスタ 411 とトランジスタ 309 との接続点はトランジスタ 312 のゲートに接続され、トランジスタ 414 とトランジスタ 310 との接続点はトランジスタ 311 のゲートに接続されている。トランジスタ 411, 414 のソースは接地端子 11 に接続され、

トランジスタ311、312のソースは電源端子12に接続される。トランジスタ411とトランジスタ309との接続点からMOSレベルの出力信号bが取出され、トランジスタ414とトランジスタ310との接続点からMOSレベルの出力信号 \bar{b} が出力される。

出力信号aが“H”レベルになりかつ出力信号 \bar{a} が“L”レベルになると、トランジスタ411、310がオンし、トランジスタ309、414がオフする。これにより、トランジスタ312がオンし、トランジスタ311がオフする。したがって、出力信号bが“H”レベル（接地電圧 V_{cc} ）になり、出力信号 \bar{b} が“L”レベル（負電圧 V_{ee} ）になる。

この場合、出力信号aの電位は約-0.8Vであるので、トランジスタ414は十分に非導通となっている。したがって、トランジスタ414、310により構成される第2のCMOS反転回路には貫通電流は流れない。また、出力信号 \bar{a} の電位は-1.8Vとなっているので、トランジスタ

309は完全には非導通となっていない。しかし、このとき出力信号 \bar{b} の電位が負電圧 V_{ee} まで低下しているので、トランジスタ311は完全に非導通になっている。したがって、トランジスタ411、309により構成される第1のCMOS反転回路には貫通電流は流れない。

[発明が解決しようとする課題]

第10図に示されるECL入力バッファ回路10aにおいては、トランジスタ105、106および定電流源903、904からなる出力部にトランジスタ114、115からなるデータ保持用カレントスイッチが接続されている。そのため、出力信号a、 \bar{a} が導出される出力ノードの負荷容量が大きくなっている。その結果、入力信号 V_{in} から出力信号a、 \bar{a} までの遅延時間が第11図に示されるECL入力バッファ回路10bよりも大きいという問題がある。

また、レベル変換回路の感度を維持しつつそれを高速に動作させるためにはレベル変換回路に与える入力信号の振幅をある程度大きくとる必要が

ある。しかし、第10図に示されるECL入力バッファ回路10aでは、データ保持用カレントスイッチを構成するトランジスタ114、115の飽和を避けるために、出力信号a、 \bar{a} の振幅をあまり大きくすることができない。したがって、第10図に示されるレベル変換回路20における出力信号a、 \bar{a} から出力信号b、 \bar{b} までの遅延時間は、第11図に示されるレベル変換回路20における遅延時間に比べて大きくなる。

一方、第11図に示されるECL入力バッファ回路10bにおいては、データ保持用カレントスイッチを有さないで、入力信号 V_{in} から出力信号a、 \bar{a} までの遅延時間は小さい。また、トランジスタの飽和を考慮しないので、ECL入力バッファ回路10bの出力信号a、 \bar{a} の振幅を大きくとることができる。したがって、レベル変換回路20を高速に動作させることができる。

しかしながら、レベル変換回路20とドライバ回路30との間にCMOSデータ保持回路50が接続されているので、レベル変換回路20の出力

信号b、 \bar{b} からCMOSデータ保持回路50の出力信号d、 \bar{d} までの遅延時間が生じることになる。この遅延時間は、第10図に示されるECL入力バッファ回路10aがデータ保持用カレントスイッチを有するために増加した遅延時間よりもさらに大きい。

上記のように、第10図および第11図に示される回路構成では、ECL入力バッファ回路に与えられる入力信号 V_{in} からドライバ回路30に与えられる出力信号までに遅延時間が生ずることになる。

この発明の目的は、第1の論理レベルの入力信号を第2の論理レベルの信号に変換する機能およびそのレベル変換された信号を保持する保持機能を有する半導体集積回路において、信号の保持機能を有することによる遅延時間をなくし、高速なレベル変換動作を可能にすることである。

[課題を解決するための手段]

この発明に係る半導体集積回路は内部同期信号を発生する手段を備えた半導体集積回路であって、

入力バッファ手段およびレベル変換手段を備える。入力バッファ手段は、第1の論理レベルの入力信号を受ける。レベル変換手段は、入力バッファ手段の出力信号を受け、その出力信号を第2の論理レベルの信号にレベル変換するレベル変換機能と、レベル変換された信号を保持する信号保持機能とを有し、内部同期信号にตอบสนองしてレベル変換機能および信号保持機能のいずれか一方を選択的に活性化させる。

〔作用〕

この発明に係る半導体集積回路においては、レベル変換手段がレベル変換機能と信号保持機能とを有し、内部同期信号にตอบสนองしてレベル変換機能および信号保持機能のいずれか一方が選択的に活性化される。内部同期信号にตอบสนองしてレベル変換手段のレベル変換機能が活性化されると、入力バッファ手段の出力信号が第2の論理レベルの信号にレベル変換される。内部同期信号にตอบสนองしてレベル変換手段の信号保持機能が活性化されると、レベル変換された信号が保持される。

レインはノードN3に接続され、ゲートはクロック信号CLKを受ける。トランジスタ423のソースは接地端子11に接続され、ドレインはノードN4に接続され、ゲートはクロック信号CLKを受ける。

クロック信号CLK、 $\overline{\text{CLK}}$ は相補な信号であり、内部クロック発生回路（第9図参照）により発生される。

トランジスタ401のソースはノードN3に接続され、ドレインはノードN1に接続される。トランジスタ402のソースはノードN4に接続され、ドレインはノードN1に接続される。トランジスタ301のドレインはノードN1に接続され、ソースは電源端子12に接続される。

トランジスタ403のソースはノードN4に接続され、ドレインはノードN2に接続される。トランジスタ404のソースはノードN3に接続され、ドレインはノードN2に接続される。トランジスタ302のドレインはノードN2に接続され、ソースは電源端子12に接続される。

このように、内部同期信号にตอบสนองしてレベル変換手段の機能が選択的に活性化されるので、信号保持機能を有することによる遅延時間の増加がなく、高速にレベル変換動作を行うことが可能となる。

〔実施例〕

以下、この発明の実施例を図面を参照しながら詳細に説明する。

第1図は、この発明の第1の実施例の構成を示す回路図である。

第1図において、ECL入力バッファ回路10は、レベル変換回路20を介してドライバ回路30に接続されている。ドライバ回路30はデコーダ40に接続されている。ECL入力バッファ回路10の構成は、第11図に示されるECL入力バッファ回路10bの構成と同様である。

レベル変換回路20は、PMOSトランジスタ401～404、422、423およびNMOSトランジスタ301、302を含む。トランジスタ422のソースは接地端子11に接続され、ド

レインはノードN2に接続され、ゲートはノードN2に接続され、トランジスタ403、302のゲートはノードN1に接続される。トランジスタ401のゲートにはECL入力バッファ回路10の出力信号aが与えられ、トランジスタ404のゲートには出力信号 \overline{a} が与えられる。ノードN1から出力信号 \overline{b} が取出され、ノードN2から出力信号bが取出される。

トランジスタ401～404、301、302によりレベル変換機能とデータ保持機能とを有するデータ保持回路が構成される。レベル変換機能はトランジスタ401、404、301、302により達成され、データ保持機能はトランジスタ402、403、301、302により達成される。トランジスタ422、423によりそれらの機能が選択的に活性化される。

次に、第1図の実施例の動作を説明する。

入力信号Vinが“H”レベルであれば、トランジスタ102がオンしかつトランジスタ103がオフする。したがって、出力信号a（OR出力）

は“H”レベルになり、かつ出力信号 \overline{a} （NOR出力）は“L”レベルになる。

逆に、入力信号 V_{in} が“L”レベルであれば、トランジスタ102がオフし、かつトランジスタ103がオンする。それにより、出力信号 a は“L”レベルになり、出力信号 \overline{a} は“H”レベルになる。

クロック信号 CLK が“L”レベルでありかつクロック信号 \overline{CLK} が“H”レベルである場合には、トランジスタ422がオンし、トランジスタ423がオフする。そのため、トランジスタ402、403には電流が流れない。したがって、トランジスタ402、403、301、302により達成されるデータ保持機能は失われ、トランジスタ401、404、301、302により達成されるレベル変換機能が活性化される。

出力信号 a が“H”レベルでありかつ出力信号 \overline{a} “L”レベルである場合には、トランジスタ401がオフし、トランジスタ404がオンする。そのため、出力信号 b が“H”レベル（接地電圧 V_{cc} ）になり、出力信号 \overline{b} が“L”レベル（負

電圧 V_{ee} ）になる。

逆に、出力信号 a が“L”レベルでありかつ出力信号 \overline{a} が“H”レベルである場合には、トランジスタ401がオンし、トランジスタ404がオフする。そのため、出力信号 b が“L”レベル（負電圧 V_{ee} ）になり、出力信号 \overline{b} が“H”レベル（接地電圧 V_{cc} ）になる。

このようにして、トランジスタ401、404、301、302により達成されるレベル変換機能によって、ECLレベルの出力信号 a 、 \overline{a} がMOSレベルの出力信号 b 、 \overline{b} に変換される。

クロック信号 CLK が“H”レベルでありかつクロック信号 \overline{CLK} が“L”レベルである場合には、トランジスタ422がオフし、トランジスタ423がオンする。そのためトランジスタ401、404には電流が流れない。したがって、トランジスタ401、404、301、302により達成されるレベル変換機能が失われ、トランジスタ402、403、301、302により達成されるデータ保持機能が活性化される。

その結果、出力信号 a 、 \overline{a} の状態がノードN1、N2に伝わらず、出力信号 b 、 \overline{b} の状態が保持される。

第2図は、この発明の第2の実施例の構成を示す回路図である。

第2図のECL入力バッファ回路10が第1図に示されるECL入力バッファ回路と異なるのは、内部クロック発生回路（第9図参照）からのクロック信号 CLK を受けるバイポーラトランジスタ104がさらに設けられている点、および、バイポーラトランジスタ107および定電流源905がさらに設けられている点である。

トランジスタ104のコレクタは抵抗210を介して接地端子11に接続され、エミッタは定電流源902に接続され、ベースはクロック信号 CLK を受ける。ここで、クロック信号 CLK の“H”レベルは、トランジスタ102のベース電圧の“H”レベルより高く設定され、クロック信号 CLK の“L”レベルは、基準電圧 V_{DD} より低く設定されている。

トランジスタ107のコレクタは接地端子11に接続され、エミッタは定電流源905を介して電源端子12に接続され、ベースはトランジスタ104のコレクタに接続される。トランジスタ107のエミッタから制御信号 e が取出される。

第2図に示されるレベル変換回路20が第1図に示されるレベル変換回路20と異なるのは、トランジスタ422が取除かれ、トランジスタ401、404のソースが直接接地端子11に接続される点である。トランジスタ423のゲートにはクロック信号 CLK とは逆相の制御信号 e が与えられる。

クロック CLK が“L”レベルであれば、トランジスタ104がオフする。それにより、制御信号 e は“H”レベルとなる。したがって、トランジスタ423はオフし、トランジスタ402、403には電流が流れない。そのため、トランジスタ402、403、301、302により達成されるデータ保持機能が失われる。この結果、第1図の実施例の場合と同様にして出力信号 a 、 \overline{a} が

レベル変換回路 20 のレベル変換機能により MOS レベルの出力信号 b , \overline{b} に変換される。

クロック CLK が "H" レベルであれば、トランジスタ 104 はオンする。それにより、制御信号 e が "L" レベルとなり、トランジスタ 423 がオンする。また、出力信号 a , \overline{a} は、入力信号 V_{in} の状態にかかわらず、いずれも "H" レベルとなり、トランジスタ 401, 402 がオフする。その結果、トランジスタ 402, 403, 301, 302 により達成されるデータ保持機能が活性化され、トランジスタ 401, 404, 301, 302 により達成されるレベル変換機能が失われる。したがって、出力信号 b , \overline{b} の状態が保持される。

第 1 図および第 2 図の実施例における ECL 入力バッファ回路 10 は ECL 回路により構成されたデータ保持回路を有さないので、入力信号 V_{in} から出力信号 a , \overline{a} までの遅延時間は小さく、また、レベル変換回路 20 を高速に動作させるのに十分な出力信号 a , \overline{a} の振幅をとることが可能

となる。また、第 1 図および第 2 図に示されるレベル変換回路 20 においては、データ保持回路の電位増幅機能を利用してレベル変換を行なっているので、データ保持機能を有することによる遅延時間の増加はない。

第 3 図～第 8 図は、レベル変換回路 20 の変更例を示す回路図である。

第 3 図のレベル変換回路は、第 1 図および第 2 図に示されるレベル変換回路 20 にバイポーラトランジスタ 107, 108 および抵抗 203, 204 を付加したものである。トランジスタ 107 のベースはトランジスタ 401 のドレインに接続され、コレクタは接地端子に接続され、エミッタはトランジスタ 402 のドレインに接続される。抵抗 203 はトランジスタ 107 のベースとエミッタとの間に接続される。トランジスタ 108 のベースはトランジスタ 404 のドレインに接続され、コレクタは接地端子に接続され、エミッタはトランジスタ 403 のドレインに接続される。抵抗 204 はトランジスタ 108 のベースとエミッタとの間に接続される。

タとの間に接続される。

第 3 図のレベル変換回路においては、トランジスタ 107, 108 および抵抗 203, 204 により、出力信号 b , \overline{b} の切り替わりが速くなり、かつ、出力信号 b , \overline{b} の負荷駆動能力が増加する。

第 4 図のレベル変換回路は、第 1 図に示されるレベル変換回路に PMOS トランジスタ 409, 410, 424, 425 を付加したものである。トランジスタ 424 のソースは接地端子 11 に接続され、ドレインはトランジスタ 405, 407 のソースに接続され、ゲートはクロック信号 CLK を受ける。トランジスタ 409 はトランジスタ 425 のドレインとトランジスタ 304 のドレインとの間に接続され、トランジスタ 410 はトランジスタ 425 のドレインとトランジスタ 305 のドレインとの間に接続される。トランジスタ 425 のソースは接地端子 11 に接続され、ゲートはクロック信号 \overline{CLK} を受ける。トランジスタ 409, 304 のゲートはトランジスタ 410 のドレインに接続される。トランジスタ 410, 305

のゲートはトランジスタ 409 のドレインに接続される。

トランジスタ 409, 410, 304, 305 がデータ保持機能を達成する。クロック信号 CLK が "H" レベルでありかつクロック信号 \overline{CLK} が "L" レベルであれば、トランジスタ 424 がオフし、トランジスタ 425 がオンする。したがって、出力信号 b , \overline{b} はトランジスタ 409, 410, 304, 305 により構成されるデータ保持機能によって保持される。

第 5 図のレベル変換回路は、第 4 図に示されるレベル変換回路に NMOS トランジスタ 307, 308 を付加したものである。トランジスタ 307 はトランジスタ 109 のベースとトランジスタ 303 のドレインとの間に接続され、トランジスタ 308 はトランジスタ 110 のベースとトランジスタ 306 のドレインとの間に接続される。トランジスタ 307 のゲートには出力信号 \overline{a} が与えられ、トランジスタ 308 のゲートには出力信号 a が与えられる。

第5図のレベル変換回路においては、トランジスタ307, 308のオンオフが出力信号 a , \overline{a} により制御される。これにより、トランジスタ405からトランジスタ303に過渡的に流れる電流またはトランジスタ407からトランジスタ306に過渡的に流れる電流が減少する。その結果、出力信号 b , \overline{b} の切り替わりが速くなる。

第6図のレベル変換回路は、第4図に示されるレベル変換回路からNMOSTランジスタ303, 306を取除き、抵抗205, 206を付加したものである。抵抗205はトランジスタ109のベースとエミッタとの間に接続され、抵抗206はトランジスタ110のベースとエミッタとの間に接続される。

第6図のレベル変換回路においては、トランジスタ109, 110の制御が抵抗205, 206を介してトランジスタ304, 305によりそれぞれ行なわれる。

第7図のレベル変換回路は、第15図に示されるレベル変換回路にPMOSTランジスタ412,

413, 426, 427を付加したものである。トランジスタ426のソースは接地端子11に接続され、ドレインはトランジスタ411, 414のソースに接続され、ゲートはクロック信号CLKを受ける。トランジスタ412はトランジスタ427のドレインとトランジスタ309のドレインとの間に接続され、トランジスタ413はトランジスタ427のドレインとトランジスタ310のドレインとの間に接続される。トランジスタ427のソースは接地端子11に接続され、ゲートはクロック信号 \overline{CLK} を受ける。トランジスタ412のゲートはトランジスタ413のドレインに接続され、トランジスタ413のゲートはトランジスタ412のドレインに接続される。トランジスタ412, 413, 309~312によりデータ保持機能が達成される。

クロック信号CLKが“H”レベルでありかつクロック信号 \overline{CLK} が“L”レベルであれば、トランジスタ426がオフし、トランジスタ427がオンする。したがって、出力信号 b , \overline{b} がデー

タ保持機能によって保持される。

第8図のレベル変換回路は、第7図に示されるレベル変換回路にバイポーラトランジスタ111, 112および抵抗207, 208を付加したものである。トランジスタ111のベースはトランジスタ411のドレインに接続され、コレクタは接地端子11に接続され、エミッタはトランジスタ412のドレインに接続される。抵抗207はトランジスタ111のベースとエミッタとの間に接続される。トランジスタ112のベースはトランジスタ414のドレインに接続され、コレクタは接地端子11に接続され、エミッタはトランジスタ413のドレインに接続される。抵抗208はトランジスタ112のベースとエミッタとの間に接続される。

第8図のレベル変換回路においては、トランジスタ111, 112および抵抗207, 208により出力信号 b , \overline{b} の切り替わりが速くなり、かつ出力信号 b , \overline{b} の負荷駆動能力が増加する。

また、第3図~第8図に示されるレベル変換回

路のトランジスタ422, 424, 426のドレインが接続されるノードを接地端子11に接続してそれらのトランジスタを取除き、第2図のECL入力バッファ回路10の制御信号 e をトランジスタ423, 425, 427のゲートに与えることも可能である。

このように、第1図に示されるレベル変換回路20を、第3図~第8図に示されるレベル変換回路により置換えても、第1図および第2図の実施例と同様の効果が得られる。なお、レベル変換機能およびデータ保持機能を有し、それらの機能を選択的に活性化可能なレベル変換回路であれば、第1図~第8図に示される構成以外の構成のレベル変換回路でも同様の効果が得られる。

また、上記実施例では、ECLインタフェイスを有するSTRAMにBiCMOS技術を応用した場合にこの発明を適用しているが、この発明はSTRAMに限られず、内部同期信号により入力または出力信号が制御される同期式半導体集積回路全般に適用することが可能である。

〔発明の効果〕

以上のように、この発明によれば、レベル変換手段がレベル変換機能と信号保持機能とを有し、それらの機能のうちいずれか一方が内部同期信号に反応して活性化されるので、データ保持機能を有することによる遅延時間の増加がなく、高速にレベル変換動作を行うことが可能な半導体集積回路が得られる。

4. 図面の簡単な説明

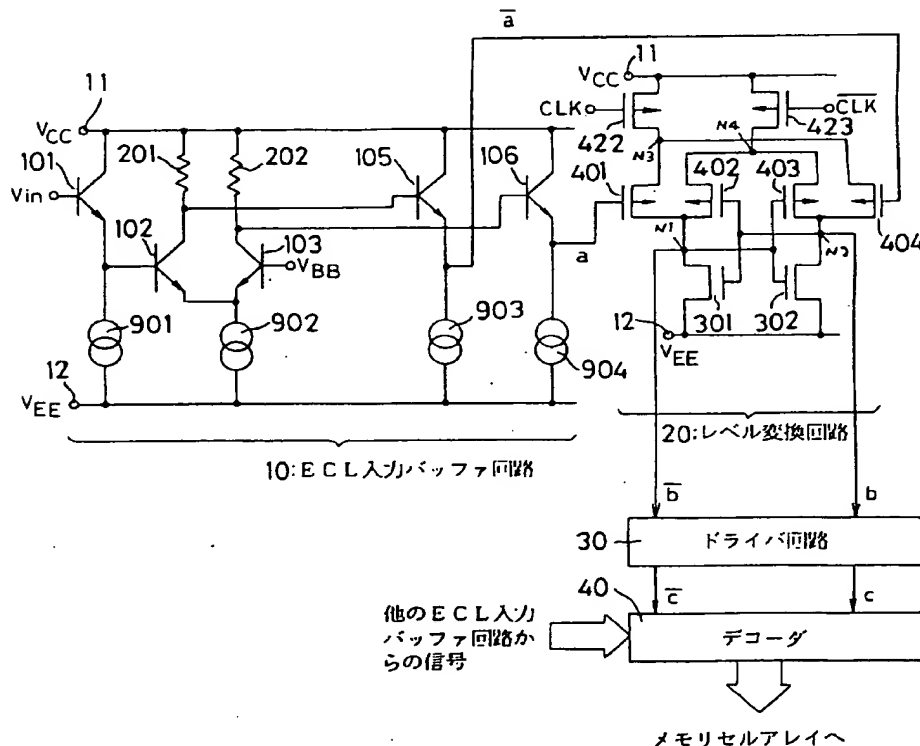
第1図はこの発明の第1の実施例による半導体集積回路の構成を示す回路図である。第2図はこの発明の第2の実施例による半導体集積回路の構成を示す回路図である。第3図、第4図、第5図、第6図、第7図および第8図はそれぞれレベル変換回路の変更例を示す回路図である。第9図はSTRAMの構成を示すブロック図である。第10図はECLインタフェースを有するSTRAMにBiCMOS技術を応用した場合のECL入力バッファ回路からデコーダまでの従来の構成の一例を示す回路図である。第11図はECLインタフ

ェイスを有するSTRAMにBiCMOS技術を応用した場合のECL入力バッファ回路からデコーダまでの従来の構成の他の例を示す回路図である。第12図はインバータの具体的な回路図である。第13図、第14図および第15図は第10図および第11図に示されるレベル変換回路の具体的な回路図である。

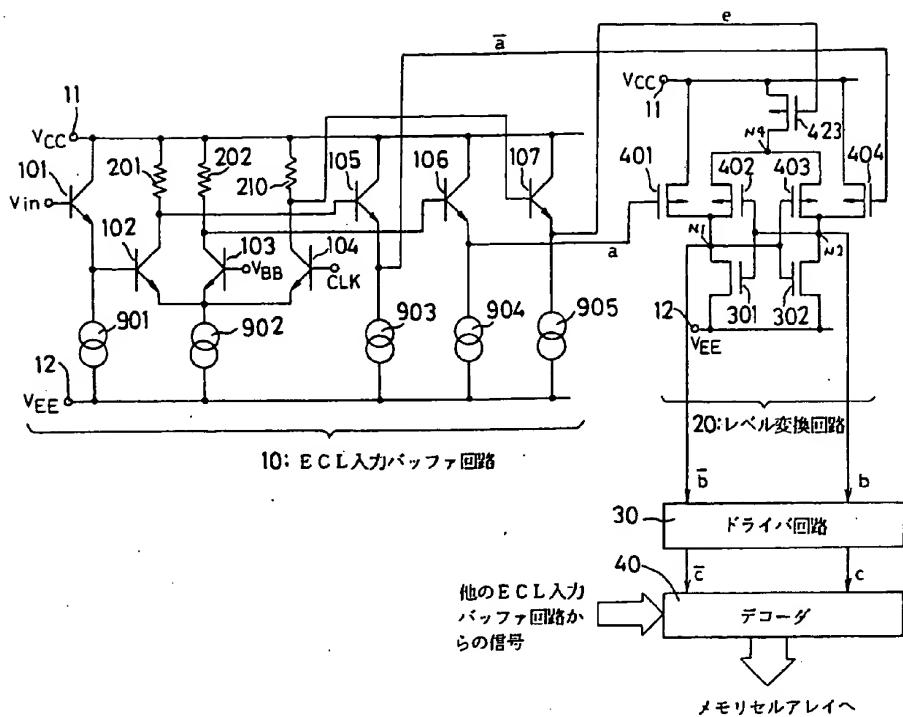
図において、10はECL入力バッファ回路、20はレベル変換回路、11は接地端子、12は電源端子、101～106はバイポーラトランジスタ、201、202は抵抗、301、302はNMOSTランジスタ、401～404、422、423はPMOSTランジスタ、901～905は定電流源、CLK、 $\overline{\text{CLK}}$ はクロック信号、 V_{cc} は接地電圧、 V_{ee} は負電圧、 V_{BB} は基準電圧、 V_{in} は入力信号、a、 \overline{a} はECLレベルの出力信号、b、 \overline{b} はMOSレベルの出力信号である。

なお、各図中同一符号は同一または相当部分を示す。

第 1 図

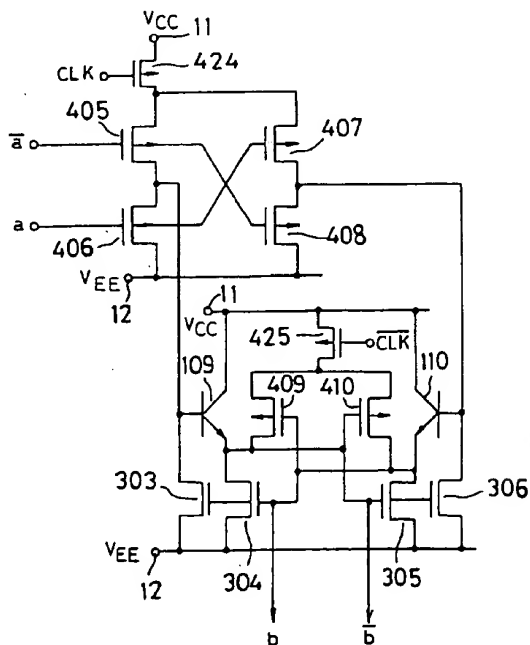
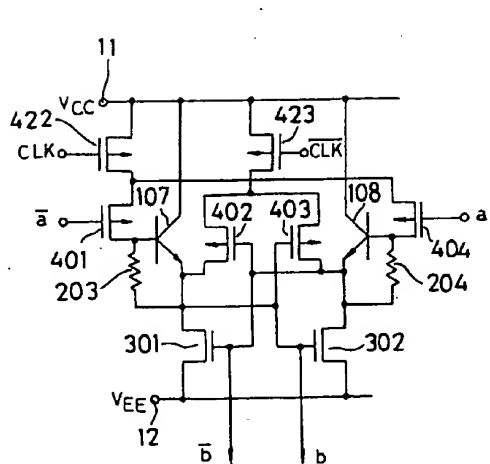


第 2 図

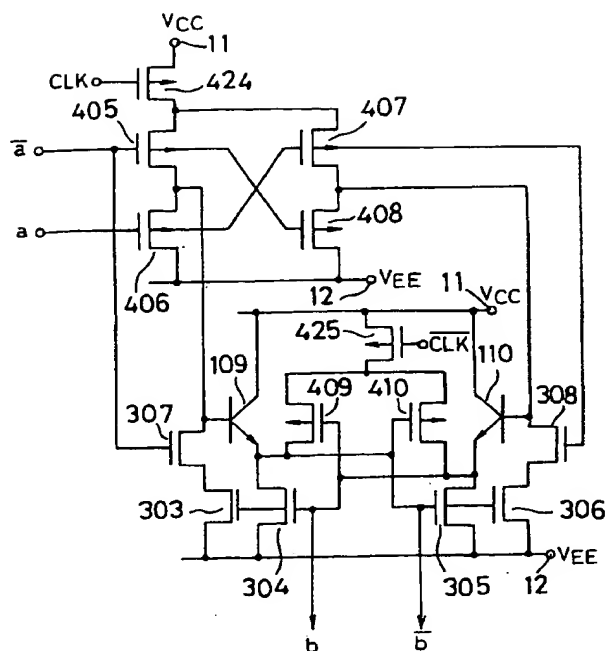


第 4 図

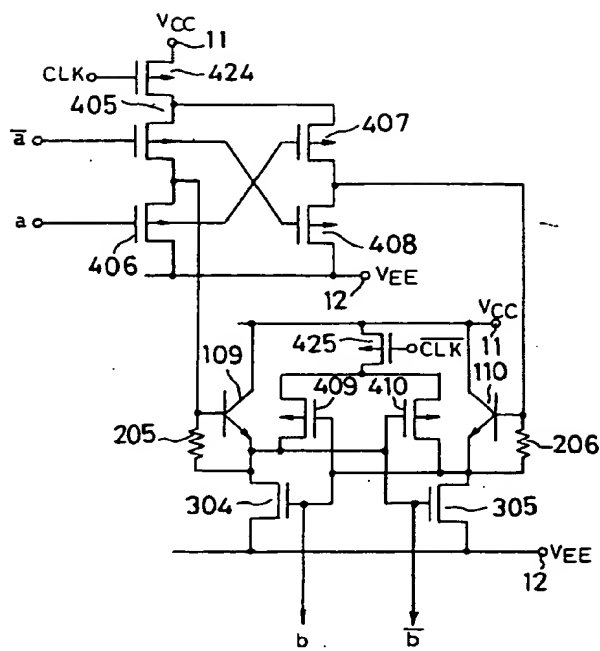
第 3 図



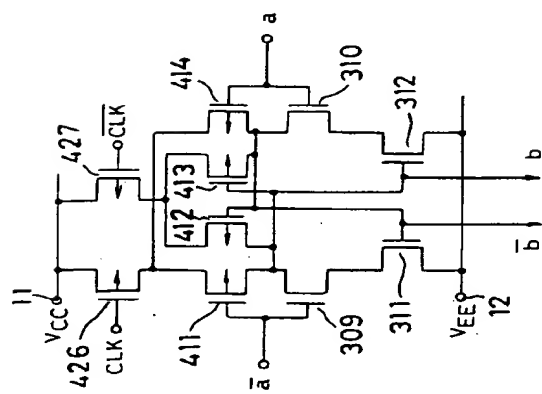
第 5 図



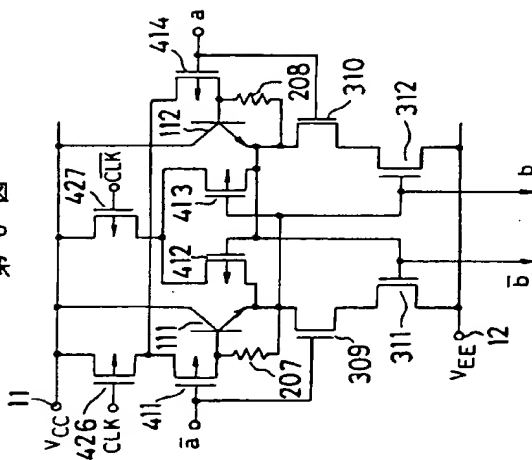
第 6 図



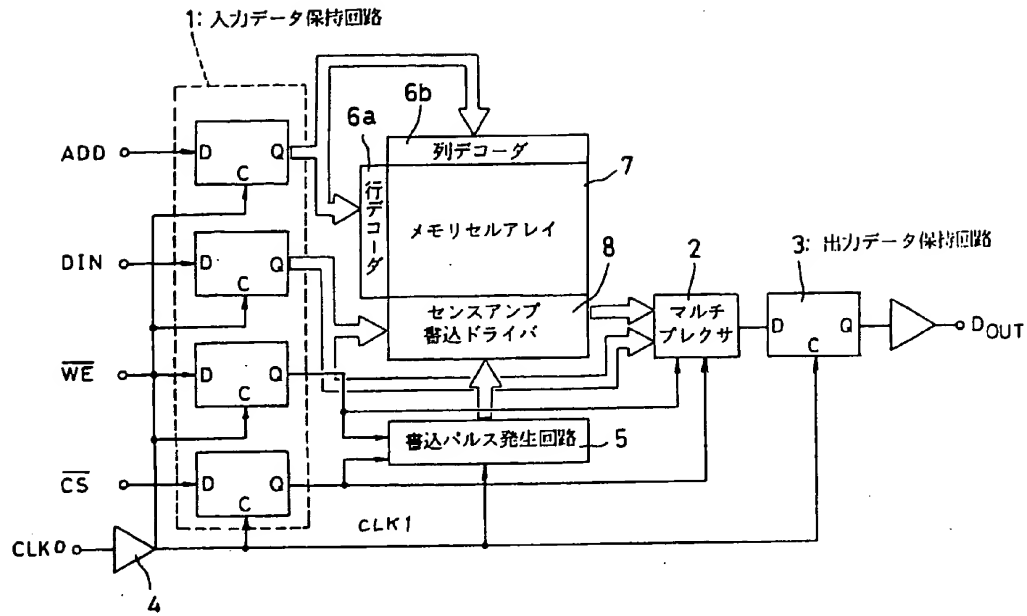
第 7 図



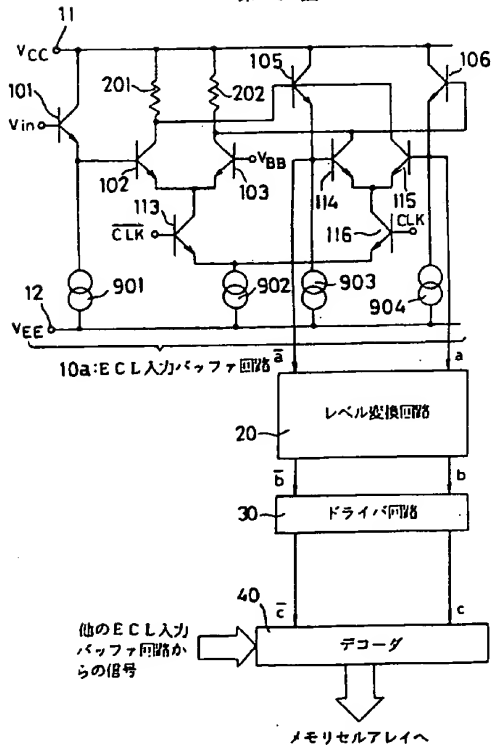
第 8 図



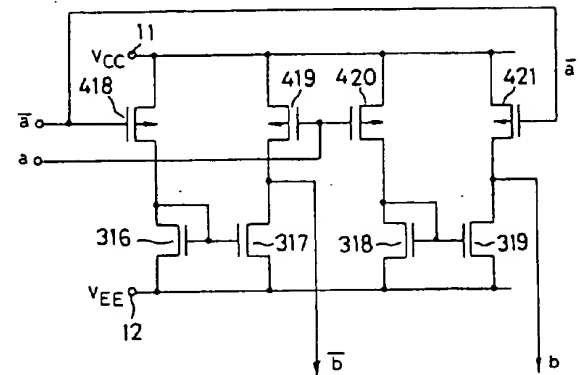
第 9 図



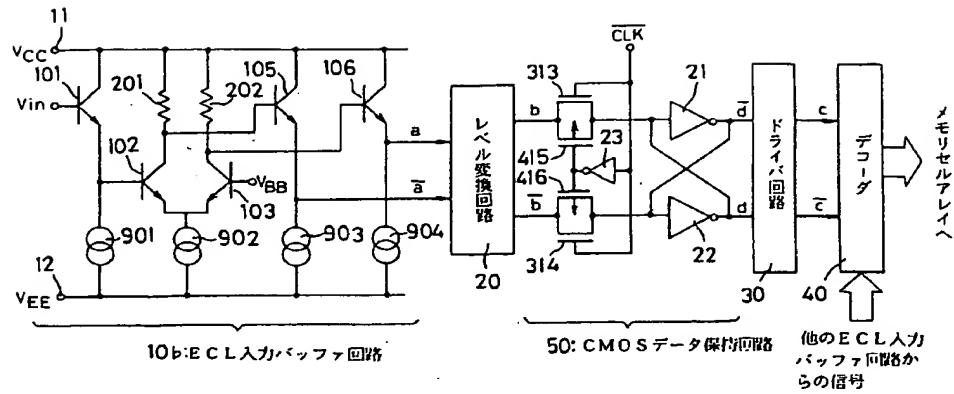
第 10 図



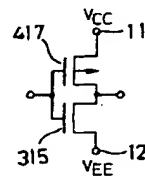
第 13 図



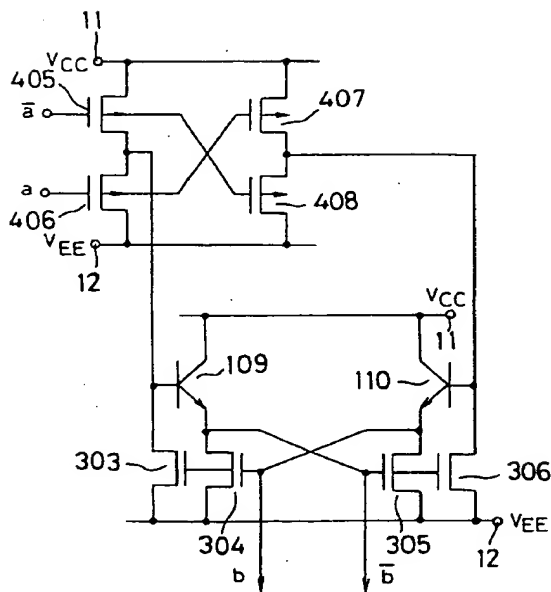
第 11 図



第 12 図



第 14 図



第 15 図

